

一种新颖的数模转换器静态参数内建自测试方法

程梦璋

(华侨大学, 福建 厦门 362021)

摘 要: 提出了一种新颖的数模转换器(DAC)静态参数内建自测试(BIST)方法. 该方法采用斜坡信号发生器和两个参考电压作为标准信号源和误差极限电压, 测试 DAC 的四个主要的静态参数: 失调误差(offset), 增益误差(gain error), 积分非线性误差(INL)和微分非线性误差(DNL), 有效地节省了参考源的数目. 静态参数计算的优化以及测试器件的共享使得 BIST 电路所占芯片面积大大减小. 仿真结果表明该方法是一种简单的测试 DAC 静态误差的内建自测试结构.

关键词: 内建自测试; 积分非线性误差; 微分非线性误差; 静态误差

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2013)10-0127-03

A New Static Test Method of a DAC with a Built-In Structure

CHENG Meng-zhang

(Huaqiao University, Xiamen 362021, China)

Abstract: A new BIST (Built-In Self-Test) method to test static parameters of a DAC (Digital to Analog Converter) is proposed in this paper. The BIST method employs a ramp generator and two voltage references to test static parameters of a DAC: offset error, gain error, INL (Integral Non-Linearity) and DNL (Differential Non-Linearity). The optimization of calculating static parameters and the components sharing can reduce the BIST circuitry. The simulation result shows that the method is able to detect the static errors with the simple BIST structure.

Key words: built-in self-test; integral non-linearity; differential non-linearity; static error

1 引言

在许多混合信号片上系统的芯片中, 模数转换器(ADC)和数模转换器(DAC)是它们的基本模块, 它们为模拟和数字系统之间数据的传输提供了接口. 转换器的性能对系统的性能影响很大, 因此对转换器性能的测试是非常重要的. 然而在芯片中转换器的可观察性和可控性很差, 使得对转换器性能测试非常困难, 利用传统的测试机测试将大大地消耗时间和提高测试成本. BIST 测试方法是将被测电路集成到芯片上, 用较小的电路成本取得参数测试. DAC 静态测试主要有四个参数: 失调误差, 增益误差, 积分非线性误差和微分非线性误差. 国内外有关 DAC 的静态测试 BIST 主要有以下几种方法: 文献

[1]中采用器件动态匹配的方法完成 DAC 的静态误差测试, 该方法可测试高分辨率、高速度的 DAC, 由于该方法需要大量的电阻和开关使 BIST 结构很难实现; 文献[2]中提出一种带有校正电路的 BIST 结构, 该方法可使 BIST 测试的准确性很高, 这种方法需要一些复杂的模块而使成本太高; 文献[3]中采用大量的参考电压实现静态测试, BIST 将待测 DAC 的输出电压和参考电压比较, 这种方式容易实现, 但是需要很多的参考电压; 文献[4]中在测试静态参数时减少了参考电压的数量, 但该方法需要很多控制信号, 需要大量的硬件支持; 文献[5]中用一个斜坡信号同时测试 ADC 和 DAC, 这种方法需要 ADC 和 DAC 同时存在. 本文提出一种新颖的测试 DAC 静态参数 BIST 结构, BIST 结构简单, 故障覆

收稿日期: 2012-12-20; 修回日期: 2013-02-01

基金项目: 福建省自然科学基金资助项目(Z0516008); 华侨大学科研启动费项目(09BS403)

盖率为 100%，芯片面积小，成本低并易于集成。

2 静态参数测试的理论分析

DAC 的静态参数测试要计算失调误差、增益误差、积分非线性误差和微分非线性误差。失调误差是当 DAC 的输入为 0 时，DAC 的实际输出电压与 DAC 的理想输出电压零值的差。该误差值要介于 $\pm 1/2\text{LSB}$ 之间才能通过失调误差的测试。式(1)是失调误差表达式：

$$-\frac{1}{2}\text{LSB} \leq V_{\text{real}}(0) \leq \frac{1}{2}\text{LSB} \quad (1)$$

增益误差是失调误差为零时，数模转换器的实际传输特性的斜率和理想传输特性斜率的差。它可以由数模转换器输入码为全“1”的输出模拟量得到。例如，当对一个 3 位的 DAC 进行测试时，最后一个输入码是‘111’，而期望输出电压为 7LSB，因此实际输出电压应该在 $13/2\text{LSB}$ 和 $15/2\text{LSB}$ 之间，式(2)是增益误差表达式：

$$\left(2^N - \frac{3}{2}\right)\text{LSB} \leq V_{\text{real}}(2^N - 1) \leq \left(2^N - \frac{1}{2}\right)\text{LSB} \quad (2)$$

积分非线性误差是理想转移特性和实际输出的线性误差。微分非线性误差(DNL)是 DAC 实际的阶梯高度和理想的 1LSB 阶梯高度的差，如果实际的阶梯高度是 1LSB，则微分非线性误差为零；否则误差要小于 $\pm 1/2\text{LSB}$ 。式(3)是微分非线性误差表达式，式(4)是积分非线性误差表达式，这组表达式中包含了失调误差表达式、增益误差表达式和积分非线性误差表达式的通式：

$$+\frac{1}{2}\text{LSB} \leq V_{\text{real}}(i) - V_{\text{real}}(i-1) \leq +\frac{3}{2}\text{LSB} \quad (3)$$

$$\left\{-\frac{1}{2}\text{LSB} \leq V_{\text{real}}(0) \leq +\frac{1}{2}\text{LSB} \rightarrow \text{offset}\right.$$

$$+\frac{1}{2}\text{LSB} \leq V_{\text{real}}(1) \leq +\frac{3}{2}\text{LSB}$$

$$+\frac{3}{2}\text{LSB} \leq V_{\text{real}}(2) \leq +\frac{5}{2}\text{LSB}$$

⋮

$$i \times \text{LSB} - \frac{1}{2}\text{LSB} \leq V_{\text{real}}(i) \leq i \times \text{LSB} + \frac{1}{2}\text{LSB}$$

⋮

$$\left(2^N - \frac{3}{2}\right)\text{LSB} \leq V_{\text{real}}(2^N - 1) \leq \left(2^N + \frac{1}{2}\right)\text{LSB} \rightarrow \text{gain} \quad (4)$$

四个静态参数的误差表达式由式(3)和式(4)给出，其中 i 是 DAC 的从 0 到 $2^N - 1$ 组输入码中第 i 组

输入的序列号。在式(4)中的通式中，用 $(i+1)$ 倍的 LSB 减掉式中的每一项，且 $V_{\text{ideal}}(i) = i\text{LSB}$ 则可以用式(5)表示积分非线性误差：

$$+\frac{1}{2}\text{LSB} \leq V_{\text{ideal}}(i+1) - V_{\text{real}}(i) \leq +\frac{3}{2}\text{LSB} \quad (5)$$

比较式(3)和式(5)可知，无论是积分非线性误差还是微分非线性误差，其参考电压源都是 $+1/2\text{LSB}$ 和 $+3/2\text{LSB}$ ，所以只需要两个参考源作为误差极限值。

3 BIST 结构及工作原理

图 1 所示为根据式(3)和式(5)实现的测试 DAC 积分非线性误差和微分非线性误差的 BIST 结构，其中积分非线性误差测试也包括了失调误差和增益误差的测试。DAC 是待测数模转换器；斜坡信号发生器模块是产生平移 $+1\text{LSB}$ 的斜坡信号；测试控制逻辑是产生四个开关控制脉冲的时钟发生器；误差放大器的开环放大倍数为 K ；两个比较器的参考信号分别为 $K/2\text{LSB}$ 和 $3K/2\text{LSB}$ （由带隙电压源提供）；采样/保持模块是由时钟控制的采样—保持电路。

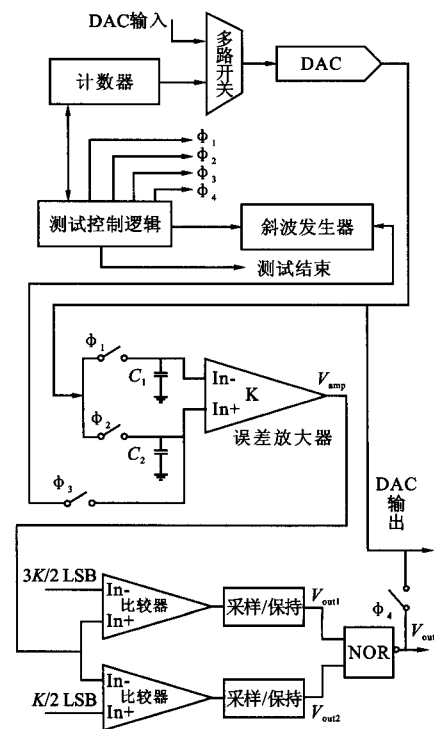


图 1 内建自测试(BIST)基本结构图

3.1 积分非线性误差测试

根据式(5)，积分非线性误差测试需要一个斜坡信号发生器产生斜坡信号 $V_{\text{ideal}}(i)$ ，再将该斜坡波

信号向正的方向平移 $1\text{LSB}^{[6-7]}$ ，即为 $V_{\text{ideal}}(i+1)$ 。在图 1 中，斜波信号发生器产生 $V_{\text{ideal}}(i+1)$ ； Φ_3 开关闭合将 $V_{\text{ideal}}(i+1)$ 信号加到误差放大器的正输入端；同时， Φ_1 开关闭合， Φ_2 开关打开，DAC 产生的在 i 组输入码激励下的输出模拟信号加到误差放大器的反相输入端；误差放大器的输出为 DAC 的积分非线性误差并放大 K 倍，如果该信号介于 $K/2\text{LSB}$ 和 $2K/3\text{LSB}$ 之间，则 DAC 满足积分非线性误差的要求。此时，两个比较器输出均为低电平，或非门输出为高电平；其余比较器输出状态，或非门输出为低电平。在放大和比较期间，斜波信号发生器的输出 $V_{\text{ideal}}(i+1)$ 继续增加，而 DAC 的输出 $V_{\text{real}}(i)$ 在一个周期内处于保持状态，放大器的输出电压 V_{out} 将随着斜波信号发生器的输出变化而变化，所以比较器后的采样/保持电路，应该在 $V_{\text{real}}(i)$ 产生跳变瞬间，即控制时钟的上升沿进行采样。

3.2 微分非线性误差测试

微分非线性误差测试电路的结构基本和积分非线性误差的结构相同。不同之处是电路采用两个交互导通开关 Φ_1 和 Φ_2 分别在 $1/2$ 个周期内实现对 DAC 的输出 $V_{\text{real}}(i)$ 和 $V_{\text{real}}(i-1)$ 信号的采样。工作原理为：在时钟周期的前半周期， Φ_1 关闭、 Φ_2 打开，DAC 的输出 $V_{\text{real}}(i-1)$ 信号对 C_1 充电，即相当于通过电容对信号采样；在时钟周期的后半周期， Φ_1 打开、 Φ_2 关闭，DAC 的输出 $V_{\text{real}}(i)$ 信号对 C_2 充电，由于 Φ_1 打开， C_1 上的充电电压 $V_{\text{real}}(i-1)$ 信号没有放电回路，所以在后半周期误差放大器的负输入端为 $V_{\text{real}}(i-1)$ 信号；正输入端为 $V_{\text{real}}(i)$ ，并完成两信号差的 K 倍放大，和积分非线性误差的测试电路工作原理相同，经过比较、采样—保持判断 DAC 的 DNL 检测是否通过。在微分非线性误差测试过程中， Φ_3 保持打开。

在图 1 的电路中，DAC 是 N 位的数模转换器、计数器是 $N+1$ 位的计数器产生 $N+1$ 位的输出，其最高位 0/1 作为设置 INL/DNL 测试模式；其余位作为 DAC 的二进制输入码。例如，对于 INL 的测试，计数器的输出从“000...00”到“0111...1”，最高位“0”表示测试模式是积分非线性误差测试；对于 DNL 的测试，计数器的输出是从“100...0”到“111...1”，最高位“1”表示测试模式是微分非线性误差测试。由于 DAC 的输入激励是从“000...0”到“111...1”，所以故障覆盖率是全覆盖。在微分非线性误差测试时，开关 Φ_1 和 Φ_2 完成对 $V_{\text{real}}(i)$ 和 $V_{\text{real}}(i$

$-1)$ 信号的采样， Φ_3 断开；在积分非线性误差测试时，开关 Φ_1 和 Φ_3 完成对 $V_{\text{real}}(i)$ 、 $V_{\text{ideal}}(i+1)$ 信号的采样， Φ_2 断开。如果在整个测试期间 V_{out} 都为高电平，则待测试 DAC 通过静态四个参数的测试。

4 仿真结果

采用了 TSMC 0.35 μm CMOS 工艺，电源电压为 3.3 V；图 1 中待测的 DAC 是 10 位的电流舵型 DAC。该 DAC 工作频率为 2 MHz；输出电压范围为 0.65~2.65 V；输出的模拟电压有 2^{10} 个量化量级。所以， $1\text{LSB}=2\text{ V}/1024=1.953\text{ mV}$ 。放大器将电压差值放大了 $K=256$ 倍，故参考电压应为 $3K/2\text{LSB}=750\text{ mV}$ 和 $K/2\text{LSB}=250\text{ mV}$ 。采用 Cadence 仿真软件对 BIST 仿真结果如表 1 所示。

表 1 BIST 仿真结果

静态参数	比较条件	比较器输出		BIST 输出
积分非线性	$\text{LSB}/2 \leq i\text{LSB} - V_{\text{real}}(i) \leq 3/2\text{LSB}$	0	0	1
	$i\text{LSB} - V_{\text{real}}(i) \leq 1/2\text{LSB}$	0	1	0
	$i\text{LSB} - V_{\text{real}}(i) \geq 3/2\text{LSB}$	1	0	0
微分非线性	$\text{LSB}/2 \leq V_{\text{real}}(i) - V_{\text{real}}(i-1) \leq 3/2\text{LSB}$	0	0	1
	$V_{\text{real}}(i) - V_{\text{real}}(i-1) \leq 1/2\text{LSB}$	0	1	0
	$V_{\text{real}}(i) - V_{\text{real}}(i-1) \geq 3/2\text{LSB}$	1	0	0

5 结束语

本文给出了一种新型的 DAC 静态参数测试的内建自测试方法，由于处理方法的优化，减少了待测静态参数量；斜波信号的改进减少了参考电压的数量；并且，电路模块可以在 INL 和 DNL 测试中共享。和传统的测试方法比较，该方法只需要很少的控制信号，是一种电路简单的 BIST 结构。仿真结果表明，这种 BIST 结构可以用较少的参考源和模块满足测试 DAC 静态参数的条件。

参考文献：

[1] Xing H, Chen D, Geiger R. On-chip at-speed linearity testing of high-resolution high-speed DACs using DDEM ADCs with dithering [C]// Proceedings of IEEE International Conference on ElectrolInformation Technology. Ames, IA:IEEE, 2008:117-122.

[2] Chen G, Lee C, Chen T. A new BIST scheme based on a summing into timing signal principle with self calibration for the DAC[J]. Proceedings of Asian Test Symposium, 2004(11):58-61. (下转第 133 页)

位的测试. 测试结果显示了双模定位算法的有效性和多系统融合的优势. 同时测试结果也显示了 BD2 系统在杭州地区附近的定位性能达到与 GPS 相当的水平.

参考文献:

- [1] 北斗卫星导航系统空间信号接口控制文件公开服务信号 B1I(1.0 版)[R]. 2012.
- [2] 谢钢. GPS 原理与接收机设计[M]. 北京:电子工业出版社, 2009.
- [3] Mo Jun, Liu Liang, Liao Bing-yu, et al. Application of kalman filter in UM220 as a dual system satellite positioning and navigation unit[C]//The 3 rd CHINA Satellite Navigation Conference-S07 BD/GNSS User terminal Technology, Guangzhou: IEEE, 2012.
- [4] 吴玲, 孙永荣, 俞晓磊, 等. GPS/GLONASS/GALI-

LEO 多星座组合导航系统研究[J], 中国空间科学技术, 2009, 29(3): 23-28.

- [5] 蔡昌盛, 戴吾蛟, 匡翠林. GPS/GLONASS 组合系统的 PDOP 计算和分析[J]. 测绘通报, 2011(11): 5-7.
- [6] 刘伟洲, 伍吉仓. GPS/北斗组合导航系统卫星可见性和 DOP 值分析 [C]//第三届中国卫星导航学术年会—S06 北斗/GNSS 测试评估技术, 广州: IEEE, 2012.

作者简介:

翟昆朋 男, (1986-), 博士. 研究方向为 GNSS 接收机导航算法和信号处理算法.

徐建华 男, (1963-), 研究员, 博士生导师. 研究方向为嵌入式软件、无线通讯系统、定位系统及算法.

叶甜春 男, (1965-), 研究员, 博士生导师. 研究方向为集成电路设计与应用、纳米加工与制造技术、新型器件.

(上接第 129 页)

- [3] Arabi K, Kaminska B, Sawan M. On chip testing data converters using static parameters[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 1998(6): 409-419.
- [4] Tsai M Hsiao, Chang T. An embedded built-in-self-test approach for digital-to-analog converters[J]. Proceedings of Asian Test Symposium, 2001 (11): 423-428.
- [5] Huang C Ong, Cheng K. A BIST scheme for on-chip ADC and DAC testing [J]. Proceedings of Design, Automation and Test in Europe, 2000(3): 216-220.
- [6] Wang Jing, Sanchez-Sinencio, Franco Maloberti. Very

linear ramp-generators for high resolution ADCBIST and calibration[C]// Proc of the 43rd IEEE Mid-west Symposium, Circuits and Systems, Lansing, MI: IEEE, 2000: 908-911.

- [7] Cassol L, Betat O, Carro L, et al. The Σ -BIST method applied to analog filters [J]. Journal of Electronic Testing, 2003(2): 13-20.

作者简介:

程梦璋 男, (1956-), 硕士, 教授. 研究方向为模数混合集成电路.